

BB

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-152995

(P2004-152995A)

(43) 公開日 平成16年5月27日(2004.5.27)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H01L 21/8238	H01L 27/08 321D	4M104
H01L 21/28	H01L 21/28 301S	5F048
H01L 21/336	H01L 29/78 301G	5F083
H01L 21/8242	H01L 29/58 G	5F140
H01L 27/092	H01L 27/10 621C	
審査請求 有 請求項の数 5 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2002-316349 (P2002-316349)
 (22) 出願日 平成14年10月30日 (2002.10.30)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100068814
 弁理士 坪井 淳
 (74) 代理人 100092196
 弁理士 橋本 良郎
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠

最終頁に続く

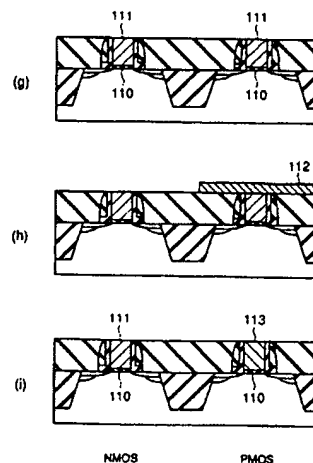
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ゲート電極の仕事関数を最適化することができ、しかも特性や信頼性の低下を防止することが可能な半導体装置の製造方法を提供する。

【解決手段】 n型MISトランジスタ及びp型MISトランジスタを備えた半導体装置の製造方法であって、n型MISトランジスタが形成される第1の領域に第1のゲート絶縁膜110を形成する工程と、第1の領域であって第1のゲート絶縁膜上に、シリコンと、タングステン及びモリブデンの中から選択された金属元素と、リン及びヒ素の中から選択された不純物元素とを含有した第1の導電膜111を堆積する工程と、p型MISトランジスタが形成される第2の領域に第2のゲート絶縁膜110を形成する工程と、第2の領域であって第2のゲート絶縁膜上に、第1の導電膜よりも高い仕事関数を有する第2の導電膜113を形成する工程とを備える。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

n 型 M I S トランジスタ及び p 型 M I S トランジスタを備えた半導体装置の製造方法であって、
n 型 M I S トランジスタが形成される第 1 の領域に第 1 のゲート絶縁膜を形成する工程と、
前記第 1 の領域であって前記第 1 のゲート絶縁膜上に、シリコンと、タングステン及びモリブデンの中から選択された金属元素と、リン及びヒ素の中から選択された不純物元素とを含有した第 1 の導電膜を堆積する工程と、
p 型 M I S トランジスタが形成される第 2 の領域に第 2 のゲート絶縁膜を形成する工程と
、
前記第 2 の領域であって前記第 2 のゲート絶縁膜上に、前記第 1 の導電膜よりも高い仕事関数を有する第 2 の導電膜を形成する工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 1 の領域に第 1 の導電膜を堆積する工程は、前記第 2 の領域に前記第 1 の導電膜を堆積する工程を含む
ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 2 の領域に第 2 の導電膜を形成する工程は、前記第 2 の領域に堆積された前記第 1 の導電膜上に金属膜を形成する工程と、熱処理により前記第 1 の導電膜と前記金属膜とを反応させて、前記第 1 の導電膜に含有されたシリコンの濃度を減少させる工程と、を含む
ことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記金属膜は、Pt、Pd、Ni、Co、W、Mo、Sb 及び Bi の少なくとも一つを含有する
ことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

前記第 2 の領域に第 2 の導電膜を形成する工程は、前記第 2 の領域に堆積された第 1 の導電膜を除去する工程と、前記第 1 の導電膜が除去された領域に前記第 2 の導電膜を埋め込む工程と、を含む
ことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 6】

前記第 2 の導電膜は金属膜である
ことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 1 の導電膜は、シリコンのソース、前記金属元素のソース及び前記不純物元素のソースを用いた化学的気相成長法によって堆積される
ことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 8】

前記 n 型 M I S トランジスタはメモリ回路用に用いられ、前記 p 型 M I S トランジスタはロジック回路用に用いられる
ことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 9】

前記第 2 のゲート絶縁膜は、前記第 1 のゲート絶縁膜と、膜厚及び誘電率の少なくとも一方が異なる
ことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 10】

前記第 1 の導電膜に含有された前記不純物元素の濃度は、 $1 \times 10^{20} / \text{cm}^3$ よりも高い

ことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 1 1】

前記第 1 の導電膜に含有された前記不純物元素の濃度は、 $1 \times 10^{21} / \text{cm}^3$ よりも高い

ことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法、特に n 型 MIS トランジスタ及び p 型 MIS トランジスタを備えた半導体装置におけるゲート電極の形成技術に関する。

10

【0002】

【従来の技術】

近年、半導体装置の高集積化及び高速化に対する要求が高まりつつある。これらの要求を実現するために、素子寸法及び素子間寸法の縮小化の他、電極や配線の低抵抗化が検討されている。このような低抵抗化に対して、多結晶シリコン上に金属シリサイドを積層したポリサイド構造が広く用いられている。しかしながら、半導体装置が微細化されるにしたがい、より一層の低抵抗化が必要となってきた。

【0003】

このような状況下において、ゲート絶縁膜上に直接金属膜を形成する構造、いわゆるメタルゲート電極構造が有望視されている。しかしながら、このメタルゲート電極構造では、ゲート絶縁膜に多結晶シリコンが接するポリサイド構造等とは異なる新たな問題が生じる。ポリサイド構造等の場合には、トランジスタのしきい電圧は、チャネル領域の不純物濃度と多結晶シリコン膜中の不純物濃度で決定される。これに対して、メタルゲート電極構造の場合には、トランジスタのしきい電圧は、チャネル領域の不純物濃度とメタルゲート電極の仕事関数で決定される。そのため、n 型 MIS トランジスタ用と p 型 MIS トランジスタ用の互いに仕事関数の異なる 2 種類のゲート電極材料を用いた、いわゆるデュアルメタルゲート電極構造が必要となる。

20

【0004】

このデュアルメタルゲート電極構造では、n 型 MIS トランジスタのゲート電極に、仕事関数 ϕ_m が 4.6 eV 以下、望ましくは 4.3 eV 以下の材料を用いる必要がある。このような低仕事関数材料として、Ta や Nb が知られている。しかしながら、Ta 及び Nb は、下地絶縁膜との反応性が高いため、ゲート電極材料として用いることが困難である。また、タングステンシリサイド (WSi_x) は、熱的安定性に優れているが、仕事関数 ϕ_m が 4.4 eV 程度であり、n 型 MIS トランジスタのゲート電極材料として最適とは言い難い。

30

【0005】

従来技術として、特許文献 1、特許文献 2 及び特許文献 3 には、ゲート電極の仕事関数を制御する等の観点から、タングステンシリサイド (WSi_x) 膜に不純物をイオン注入するという技術が開示されている。また、特許文献 4 には、タングステンシリサイド膜に不純物をイオン注入した後にアニールを行うという技術が開示されている。

40

【0006】

しかしながら、いずれの文献も、タングステンシリサイド膜中にイオン注入によって不純物を導入するものである。そのため、イオン注入ダメージによってゲート絶縁膜等の信頼性が低下するといった問題や、ゲート電極における不純物濃度分布の制御が難しいといった問題があった。

【0007】

【特許文献 1】

特開平 8-130216 号公報

【0008】

【特許文献 2】

50

特開平8-153804号公報

【0009】

【特許文献3】

特開平9-246206号公報

【0010】

【特許文献4】

特開平10-125919号公報

【0011】

【発明が解決しようとする課題】

このように、電極や配線の低抵抗化の観点から、メタルゲート電極構造が提案されている。そして、ゲート電極の仕事関数を制御する等の観点から、金属シリサイド膜中に不純物を導入するという提案がなされている。しかしながら、従来は、イオン注入によって不純物を導入するため、イオン注入ダメージによって信頼性が低下するといった問題や、不純物濃度分布の制御が難しいといった問題があった。したがって、特性や信頼性に優れた半導体装置を得ることが困難であった。

【0012】

本発明は、上記従来の課題に対してなされたものであり、ゲート電極の仕事関数を最適化することができ、しかも特性や信頼性の低下を防止することが可能な半導体装置の製造方法を提供することを目的としている。

【0013】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、n型MISトランジスタ及びp型MISトランジスタを備えた半導体装置の製造方法であって、n型MISトランジスタが形成される第1の領域に第1のゲート絶縁膜を形成する工程と、前記第1の領域であって前記第1のゲート絶縁膜上に、シリコンと、タングステン及びモリブデンの中から選択された金属元素と、リン及びヒ素の中から選択された不純物元素とを含有した第1の導電膜を堆積する工程と、p型MISトランジスタが形成される第2の領域に第2のゲート絶縁膜を形成する工程と、前記第2の領域であって前記第2のゲート絶縁膜上に、前記第1の導電膜よりも高い仕事関数を有する第2の導電膜を形成する工程と、を備えたことを特徴とする。

【0014】

【発明の実施の形態】

以下、本発明の実施形態を図面を参照して説明する。

【0015】

(実施形態1)

図1(a)～図3(i)は、本発明の第1の実施形態に係る半導体装置の製造方法を模式的に示した断面図である。

【0016】

まず、図1(a)に示すように、素子分離領域101を有した単結晶シリコン基板(半導体基板)100上に、シリコン酸化膜102を形成する。続いて、シリコン酸化膜102上に、多結晶シリコン膜103を堆積する。

【0017】

次に、図1(b)に示すように、多結晶シリコン膜103を異方性エッチングし、ダミーゲート電極を形成する。続いて、n型MISトランジスタが形成される領域(以下、nMOS領域という)にはAs⁺イオンをイオン注入し、p型MISトランジスタが形成される領域(以下、pMOS領域という)にはB⁺イオンをイオン注入する。さらに、1000℃、5秒の熱処理を施すことによって、ソース・ドレイン領域の一部となる拡散層105を形成する。

【0018】

次に、図1(c)に示すように、シリコン窒化膜106及びシリコン酸化膜107を全面に堆積する。その後、エッチバックを行い、ダミーゲート電極の側壁上に選択的にシリコ

10

20

30

40

50

ン窒化膜106及びシリコン酸化膜107を残す。続いて、nMOS領域にはP⁺ イオンをイオン注入し、pMOS領域にはB⁺ イオンをイオン注入する。さらに、950℃、10秒の熱処理を施すことによって、ソース・ドレイン領域の一部となる拡散層108を形成する。

【0019】

次に、図2(d)に示すように、層間絶縁膜109を全面に堆積する。その後、化学的機械的研磨(CMP)によって層間絶縁膜109を平坦化し、多結晶シリコン膜103の表面を露出させる。

【0020】

次に、図2(e)に示すように、多結晶シリコン膜103を除去し、さらにシリコン酸化膜102を除去する。これにより、シリコン基板100及びシリコン窒化膜106に囲まれた溝が形成される。

【0021】

次に、図2(f)に示すように、プラズマ酸窒化法により、溝の底部に、ゲート絶縁膜110として薄いシリコン酸窒化膜を形成する。

【0022】

次に、図3(g)に示すように、CVD法により、全面に第1の導電膜として、リン(P)を含有したタングステンシリサイド膜(以下、WSiP膜と表す)111を堆積する。ソースガスとしては、例えば、W(CO)₆、SiH₄及びPH₃を用いる。Wシリサイド膜にPを含有させることで、Pを含有していないWシリサイド膜よりも仕事関数を下げることができる。さらに、CMP法によって、WSiP膜111を平坦化して、層間膜109の表面を露出させる。

【0023】

次に、図3(h)に示すように、金属膜としてPt膜112を全面に堆積する。さらに、PMOS領域以外のPt膜112をエッチングによって除去する。

【0024】

次に、図3(i)に示すように、熱処理によってPt膜112とWSiP膜111とを反応させる。この熱処理により、WSiP膜111中のSiがPt膜112と反応してPtシリサイド膜が形成される。このPtシリサイド膜の形成にともない、WSiP膜中のSiが減少する。そして、Ptがゲート絶縁膜110とWSiP膜との界面に析出する。その結果、pMOSトランジスタの溝内には、WSiP膜111よりも仕事関数が高いPtを含有した膜(第2の導電膜)113が形成される。

【0025】

このようにして、nMOSトランジスタのゲート電極には仕事関数が低いWSiP膜を用い、pMOSトランジスタのゲート電極にはWSiP膜よりも仕事関数の高い電極膜を用いたCMOSトランジスタを得ることができる。

【0026】

以上のように、本実施形態によれば、Pを含有したWシリサイド膜(WSiP膜)をn型MISトランジスタのゲート電極として用いることで、n型MISトランジスタのゲート電極の仕事関数を下げることができ、n型MISトランジスタに適したゲート電極を得ることができる。また、WSiP膜をCVD等の堆積法によって形成するため、従来のようにイオン注入によって不純物をシリサイド膜中に導入する必要がない。したがって、ゲート絶縁膜へのダメージを低減することができるとともに、ゲート電極における不純物濃度分布の均一化をはかることができ、特性や信頼性に優れた半導体装置を得ることができる。さらに、p型MISトランジスタのゲート電極は、Pt膜とWSiP膜との反応を利用して形成されるので、p型MISトランジスタにおいてもゲート絶縁膜へのダメージを低減することができる。

【0027】

なお、上述した実施形態では、Pt膜(金属膜)とWSiP膜とを反応させるようにしたが、金属膜にはpMOSトランジスタのゲート電極として好ましい4.8eV以上の仕事

関数を有する金属を用いることが可能である。具体的には、Pt、Pd、Ni、Co、W、Mo、Sb及びBiの少なくとも一つを含有する金属膜を用いることが可能である。

【0028】

図9は、WSiP膜に含有された不純物元素の濃度（P濃度）と仕事関数との関係について示したものである（図中、丸印で示した）。本関係は、図10に示すようなMISキャパシタを作製し、そのC-V特性を測定することによって得られたものである。

【0029】

図10に示したMISキャパシタは、以下のようにして作製した。まず、素子分離領域11を有した単結晶シリコン基板10上に、ゲート絶縁膜12としてシリコン酸化膜を形成した。続いて、シリコン酸化膜12上に、CVD法により、Pを含有したタングステンシリサイド膜（WSiP膜）13を堆積した。このとき、 PH_3 ガスの流量を制御することにより、WSiP膜13中のP濃度を変化させた。その後、WSiAs膜13を異方性エッチングし、ゲート電極を形成した。このようにして、図10に示したようなMISキャパシタを作製した。

【0030】

図9からわかるように、WSiP膜中のP濃度が $1 \times 10^{19} / \text{cm}^3$ 程度では、WSiP膜の仕事関数は4.4 eV程度であり、WSi膜（不純物を含有しないWSi膜）の仕事関数とほとんど変わらない。WSiP膜13中のP濃度が $1 \times 10^{20} / \text{cm}^3$ よりも高くなるあたりから、仕事関数は急激に低下し始める。また、WSiP膜13中のP濃度が $1 \times 10^{21} / \text{cm}^3$ より高くなると、仕事関数は4.3 eVよりも低くなり、NMOSトランジスタのゲート電極の仕事関数としてより好ましい値となる。

【0031】

また、WSiP膜の代わりにAsを含有したタングステンシリサイド膜（WSiAs膜）についても、図10と同様のMISキャパシタを作製し、WSiAs膜に含有された不純物元素の濃度（As濃度）と仕事関数との関係について調べた。その結果を、図9中において四角印で示した。図9からわかるように、WSiAs膜についても、WSiP膜の場合と同様の傾向であった。

【0032】

したがって、WSiP膜或いはWSiAs膜に含有された不純物元素の濃度は、 $1 \times 10^{20} / \text{cm}^3$ よりも高いことが好ましく、 $1 \times 10^{21} / \text{cm}^3$ よりも高いことがより好ましい。なお、不純物元素の濃度の上限は、 $1 \times 10^{22} / \text{cm}^3$ 程度である。

【0033】

なお、上記実施形態では、WSiP膜のソースガス（成膜用ガス）として $\text{W}(\text{CO})_6$ 、 SiH_4 及び PH_3 を用いたが、Wのソースガスには WF_6 或いは WCl_6 を、Siのソースガスには SiH_2Cl_2 、 SiCl_4 或いは SiF_4 を、Pのソースガスには PF_3 、 PCl_3 、 PClF_2 或いは PBr_3 を用いることも可能である。

【0034】

また、WSiAs膜については、Wのソースガス及びSiのソースガスにはWSiP膜の場合と同様のソースガスを用いることができ、Asのソースガスには、 AsH_3 、 AsCl_3 或いは AsF_3 などを用いることができる。

【0035】

さらに、上記実施形態では、P或いはAsを含有したタングステンシリサイド膜について説明したが、P或いはAsを含有したモリブデンシリサイド膜（MoSiP膜或いはMoSiAs膜）を用いることも可能である。この場合にも、図9と同様の結果が得られている。MoSiP膜及びMoSiAs膜では、Moのソースガスとして $\text{Mo}(\text{CO})_6$ 、 MoF_6 或いは MoCl_6 を用いることが可能である。Siのソースガス、Pのソースガス及びAsのソースガスについては、上述したWSiP膜及びWSiAs膜の場合と同様である。

【0036】

(実施形態2)

図4(a)～図5(h)は、本発明の第2の実施形態に係る半導体装置の製造法を模式的に示した断面図である。

【0037】

まず、図4(a)に示すように、素子分離領域201を有した単結晶シリコン基板(半導体基板)200上に、NMOSトランジスタのゲート絶縁膜202として、シリコン酸化膜を形成する。続いて、シリコン酸化膜202上に、CVD法により、第1の導電膜として、ヒ素(As)を含有したタングステンシリサイド膜(以下、WSiAs膜と表す)203を堆積する。ソースガスとしては、例えば、 $W(CO)_6$ 、 SiH_4 及び AsH_3 を用いる。Wシリサイド膜にAsを含有させることで、Asを含有していないWシリサイド膜よりも仕事関数を下げることができる。

【0038】

次に、図4(b)に示すように、WSiAs膜203を異方性エッチングし、ゲート電極を形成する。続いて、n型MISトランジスタが形成される領域(nMOS領域)には As^+ イオンをイオン注入し、p型MISトランジスタが形成される領域(pMOS領域)には B^+ イオンをイオン注入する。さらに、1000℃、5秒の熱処理を施すことによって、ソース・ドレイン領域の一部となる拡散層205を形成する。

【0039】

次に、図4(c)に示すように、シリコン窒化膜206及びシリコン酸化膜207を全面に堆積する。その後、エッチバックを行い、ゲート電極の側壁上に選択的にシリコン窒化膜206及びシリコン酸化膜207を残す。続いて、nMOS領域には P^+ イオンをイオン注入し、pMOS領域には B^+ イオンをイオン注入する。さらに、950℃、10秒の熱処理を施すことによって、ソース・ドレイン領域の一部となる拡散層208を形成する。

【0040】

次に、図4(d)に示すように、層間絶縁膜209を全面に堆積する。その後、化学的機械的研磨(CMP)によって層間絶縁膜209を平坦化し、WSiAs膜203の表面を露出させる。

【0041】

次に、図5(e)に示すように、pMOS領域のWSiAs膜203を除去し、さらにシリコン酸化膜202を除去する。これにより、シリコン基板200及びシリコン窒化膜206に囲まれた溝が形成される。

【0042】

次に、図5(f)に示すように、熱酸化法により、溝の底部に、PMOSトランジスタのゲート絶縁膜210として薄いシリコン酸化膜を形成する。

【0043】

次に、図5(g)に示すように、第2の導電膜としてW膜211を、全面に堆積する。さらに、図5(h)に示すように、CMP法によって、W膜211を平坦化し、層間膜209の表面を露出させる。Wの仕事関数は4.9eV程度と高いので、pMOSトランジスタの電極材料として望ましい。

【0044】

このようにして、nMOSトランジスタのゲート電極には仕事関数が低いWSiAs膜を用い、pMOSトランジスタのゲート電極にはWSiAs膜よりも仕事関数の高い電極膜を用いたCMOSトランジスタを得ることができる。

【0045】

以上のように、本実施形態によれば、Asを含有したWシリサイド膜(WSiP膜)をn型MISトランジスタのゲート電極として用いることで、n型MISトランジスタのゲート電極の仕事関数を下げることができ、n型MISトランジスタに適したゲート電極を得ることができる。また、WSiAs膜をCVD等の堆積法によって形成するため、従来のようにイオン注入によって不純物をシリサイド膜中に導入する必要がない。したがって、

10

20

30

40

50

ゲート絶縁膜へのダメージを低減することができるとともに、ゲート電極における不純物濃度分布の均一化をはかることができ、特性や信頼性に優れた半導体装置を得ることができる。さらに、p型MISトランジスタのゲート電極は、WSiAs膜を除去した領域にW膜を埋め込むことで形成されるので、p型MISトランジスタにおいてもゲート絶縁膜へのダメージを低減することができる。

【0046】

(実施形態3)

図6(a)～図8(i)は、本発明の第3の実施形態に係る半導体装置の製造法を模式的に示した断面図である。本実施形態は、メモリ領域とロジック領域とを有する半導体装置に関するものである。

10

【0047】

まず、図6(a)に示すように、素子分離領域301を有した単結晶シリコン基板(半導体基板)300上に、NMOSTランジスタのゲート絶縁膜302として、シリコン酸化膜を形成する。続いて、シリコン酸化膜302上に、CVD法により、第1の導電膜として、ヒ素(As)を含有したタングステンシリサイド膜(WSiAs膜)303を堆積する。ソースガスとしては、例えば、W(CO)₆、SiH₄及びAsH₃を用いる。さらに、WSiAs膜303上に、CVD法により、シリコン窒化膜304を堆積する。

【0048】

次に、図6(b)に示すように、WSiAs膜303及びシリコン窒化膜304を異方性エッチングし、ゲート電極を形成する。さらに、シリコン窒化膜305を堆積した後、シリコン窒化膜305のエッチバックを行う。これにより、ゲート電極をシリコン窒化膜304及び305で囲む構造が形成される。なお、詳細な説明は省略するが、本工程では、メモリ領域とロジック領域それぞれに、ソース・ドレインとなる拡散層306も形成される。

20

【0049】

次に、図6(c)に示すように、層間絶縁膜307を全面に堆積する。その後、化学的機械的研磨(CMP)によって層間絶縁膜307を平坦化し、シリコン窒化膜304の表面を露出させる。

【0050】

30

次に、図7(d)に示すように、ロジック領域におけるpMOS領域のシリコン窒化膜304及びWSiAs膜303を除去し、さらにシリコン酸化膜302を除去する。これにより、シリコン基板300及びシリコン窒化膜305に囲まれた溝が形成される。

【0051】

次に、図7(e)に示すように、プラズマ酸窒化法により、溝の底部に、PMOSTランジスタのゲート絶縁膜308として薄いシリコン酸化膜を形成する。

【0052】

次に、図7(f)に示すように、全面にW膜309を堆積する。さらに、CMP法によって、W膜309を平坦化し、層間絶縁膜307の表面を露出させる。このようにして、nMOSTランジスタのゲート電極には仕事関数が低いWSiAs膜303を用い、pMOSTランジスタのゲート電極にはWSiAs膜よりも仕事関数の高いW膜309を用いたCMOSTランジスタを得ることができる。

40

【0053】

次に、図8(g)に示すように、メモリ領域において、層間絶縁膜(シリコン酸化膜)307にコンタクトホール310を形成する。このとき、シリコン窒化膜に対してシリコン酸化膜を高選択比でドライエッチングする方法を用いる。この方法により、リソグラフィ工程においてコンタクトホールパターンがゲート電極方向にずれたとしても、ゲート電極の側壁に形成されたシリコン窒化膜305はエッチングされずに残る。そのため、ゲート電極とコンタクトホール内に埋め込まれる導電性材料とが電氣的に短絡することがない。

【0054】

50

次に、図 8 (h) に示すように、全面に P を含有したシリコン膜 311 を堆積し、さらに CMP 法によりコンタクトホール 310 内にシリコン膜 311 を選択的に残す。

【0055】

次に、図 8 (i) に示すように、全面に層間絶縁膜 312 を形成する。続いて、シリコン膜 311 上の層間絶縁膜 312 にコンタクトホールを形成し、さらにコンタクトホール内にコンタクトプラグ 313 を埋め込む。コンタクトプラグ 313 は、例えば、W 膜/TiN 膜/Ti 膜の積層膜で形成され、全面に積層膜を形成した後、CMP 法により平坦化を行うことで得られる。さらにコンタクトプラグ 313 が埋め込まれた層間絶縁膜 312 上に、MIM キャパシタ 314 を形成する。この MIM キャパシタ 314 は、例えば、上部電極 314a 及び下部電極 314c に Ru 膜を用い、誘電体膜 314b に酸化タンタル膜等の高誘電体膜を用いたものである。

【0056】

以上のように、本実施形態では、図 7 (d) の工程において PMOS 領域のシリコン酸化膜 302 を除去し、図 7 (e) の工程においてゲート絶縁膜 308 を新たに形成している。したがって、ロジック領域の PMOS トランジスタに、メモリ領域の NMOS トランジスタとは異なったゲート絶縁膜を用いることができる。例えば、ロジック領域にメモリ領域よりも薄いゲート絶縁膜や誘電率の高い絶縁膜を用いることができる。したがって、ロジック回路の高速化を達成することができる。また、同様に、ロジック領域の NMOS トランジスタにもメモリ領域の NMOS トランジスタとは異なったゲート絶縁膜を用いることで、さらにロジック回路の高速化をはかることができる。

【0057】

また、本実施形態では、nMOS トランジスタのゲート電極の周囲はシリコン窒化膜で覆われている。したがって、メモリ領域においては自己整合コンタクトプロセスを利用することができ、メモリ領域の集積度を向上させることができる。

【0058】

なお、上述した第 1～第 3 の実施形態では、nMOS トランジスタのゲート電極として、P を含有した W シリサイド膜 (WSiP 膜) 或いは As を含有した W シリサイド膜 (WSiAs 膜) を用いたが、P を含有した Mo シリサイド膜 (MoSiP 膜) 或いは As を含有した Mo シリサイド膜 (MoSiAs 膜) を用いても、同様の効果を得ることが可能である。

【0059】

また、上述した第 1～第 3 の実施形態では、ゲート絶縁膜としてシリコン酸化膜或いはシリコン酸窒化膜を用いたが、Hf 酸化物膜、Zr 酸化物膜、Ti 酸化物膜、Ta 酸化物膜、La 酸化物膜等を用いることも可能である。

【0060】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0061】

【発明の効果】

本発明によれば、N 型 MIS トランジスタのゲート電極の仕事関数を下げることができるとともに、ゲート絶縁膜におけるダメージ低減やゲート電極における不純物濃度分布の均一化をはかることができ、特性や信頼性に優れた半導体装置を得ることが可能となる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る半導体装置の製造方法を模式的に示した断面図である。

【図 2】 本発明の第 1 の実施形態に係る半導体装置の製造方法を模式的に示した断面図で

ある。

【図3】本発明の第1の実施形態に係る半導体装置の製造方法を模式的に示した断面図である。

【図4】本発明の第2実施形態に係る半導体装置の製造方法を模式的に示した断面図である。

【図5】本発明の第2の実施形態に係る半導体装置の製造方法を模式的に示した断面図である。

【図6】本発明の第3の実施形態に係る半導体装置の製造方法を模式的に示した断面図である。

【図7】本発明の第3の実施形態に係る半導体装置の製造方法を模式的に示した断面図である。 10

【図8】本発明の第3の実施形態に係る半導体装置の製造方法を模式的に示した断面図である。

【図9】本発明の実施形態に係り、不純物濃度と仕事関数との関係について示した図である。

【図10】本発明の実施形態に係り、図9に示した関係を求めるため用いたMISキャパシタの構成を模式的に示した図である。

【符号の説明】

10、100、200、300…シリコン基板

11、101、201、301…素子分離領域

20

102…シリコン酸化膜

103…多結晶シリコン膜

105、108、205、208、306…拡散層

106、206、304、305…シリコン窒化膜

107、207…シリコン酸化膜

109、209、307、312…層間絶縁膜

12、110、202、210、302、308…ゲート絶縁膜

13、111…WSiP膜

112…Pt膜

113…Ptを含有した膜

30

203、303…WSiAs膜

211、309…W膜

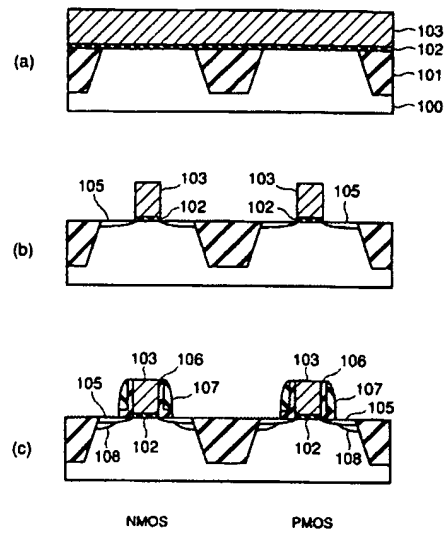
310…コンタクトホール

311…シリコン膜

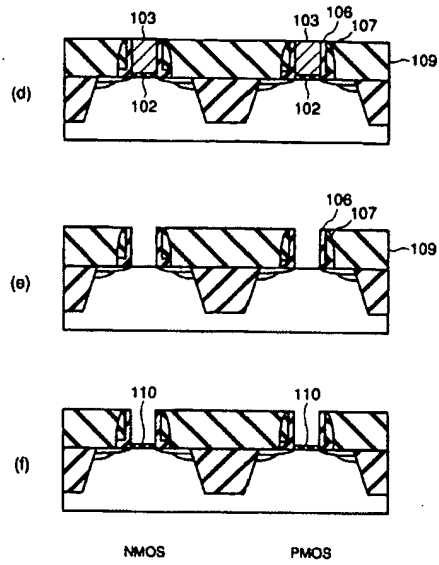
313…コンタクトプラグ

314…キャパシタ

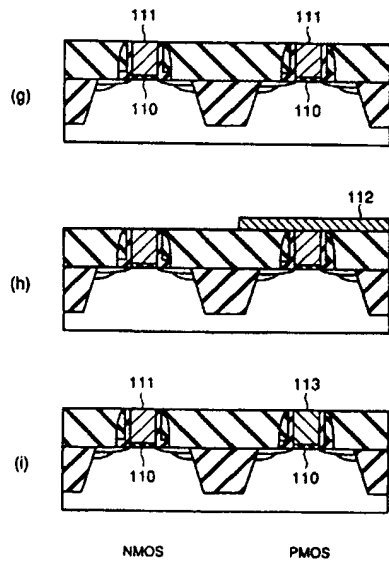
【図 1】



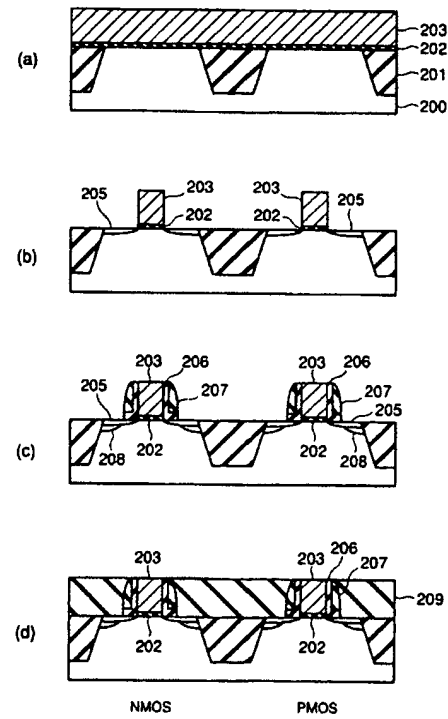
【図 2】



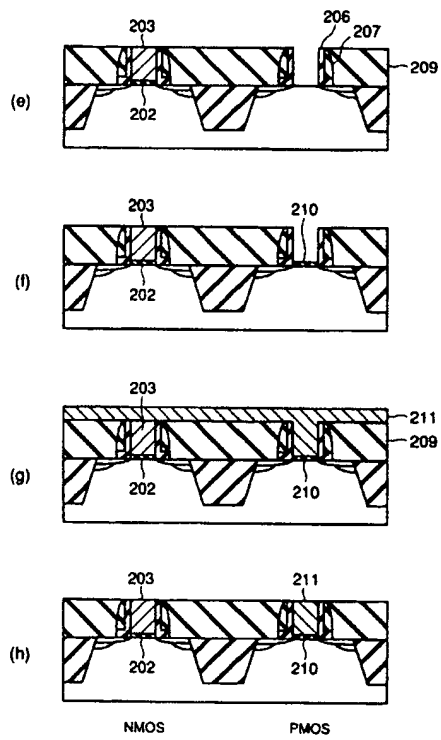
【図 3】



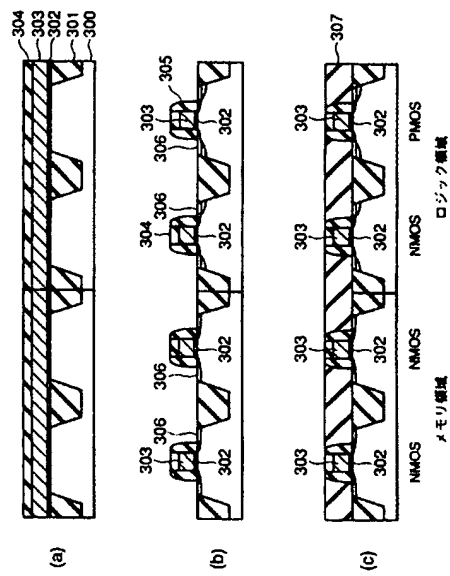
【図 4】



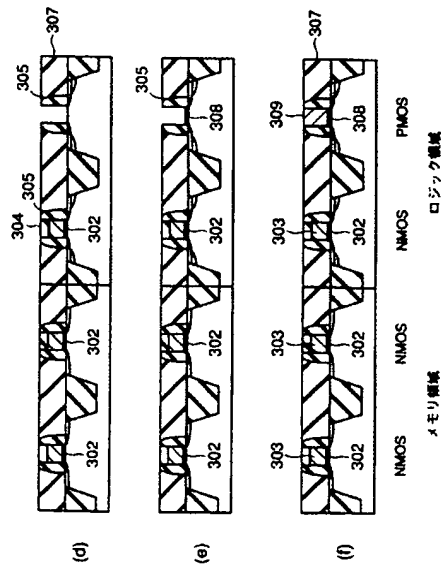
【図 5】



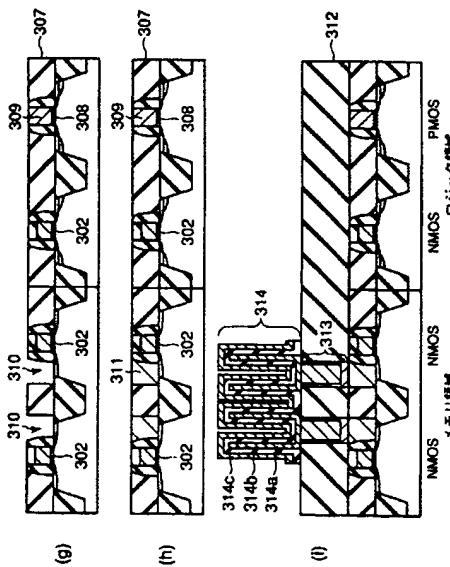
【図 6】



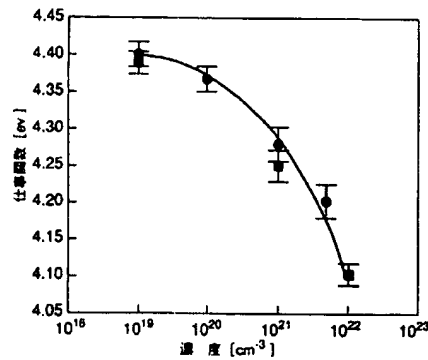
【図 7】



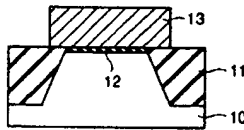
【図 8】



【図 9】



【図 10】



【手続補正書】

【提出日】平成15年12月17日(2003.12.17)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

n型MISトランジスタ及びp型MISトランジスタを備えた半導体装置の製造方法であって、

n型MISトランジスタが形成される第1の領域に第1のゲート絶縁膜を形成する工程と、

前記第1の領域であって前記第1のゲート絶縁膜上に、シリコンと、タングステン及びモリブデンの中から選択された金属元素と、リン及びヒ素の中から選択された不純物元素とを含有した第1の導電膜を堆積する工程と、

p型MISトランジスタが形成される第2の領域に第2のゲート絶縁膜を形成する工程と、

前記第2の領域であって前記第2のゲート絶縁膜上に、前記第1の導電膜よりも高い仕事関数を有する第2の導電膜を形成する工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項 2】

前記第1の領域に第1の導電膜を堆積する工程は、前記第2の領域に前記第1の導電膜を堆積する工程を含む

ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 2 の領域に第 2 の導電膜を形成する工程は、前記第 2 の領域に堆積された前記第 1 の導電膜上に金属膜を形成する工程と、熱処理により前記第 1 の導電膜と前記金属膜とを反応させて、前記第 1 の導電膜に含有されたシリコンの濃度を減少させる工程と、を含むことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記金属膜は、Pt、Pd、Ni、Co、W、Mo、Sb 及び Bi の少なくとも一つを含有する
ことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

前記第 2 の領域に第 2 の導電膜を形成する工程は、前記第 2 の領域に堆積された第 1 の導電膜を除去する工程と、前記第 1 の導電膜が除去された領域に前記第 2 の導電膜を埋め込む工程と、を含む
ことを特徴とする請求項 2 に記載の半導体装置の製造方法。

フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 L 27/108

H 0 1 L 27/10 6 8 1 F

H 0 1 L 29/423

H 0 1 L 29/78 3 0 1 P

H 0 1 L 29/49

H 0 1 L 29/78

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 中嶋 一明

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム (参考) 4M104 AA01 BB01 BB04 BB05 BB06 BB07 BB16 BB18 BB26 BB28
 BB36 BB40 CC05 DD02 DD03 DD08 DD16 DD43 DD45 DD66
 DD75 DD78 DD83 DD88 DD90 EE03 EE05 EE09 EE14 EE16
 EE17 FF13 FF21 GG08 GG10 GG14 GG16 GG19 HH20
 5F048 AB01 AB03 AC01 AC03 AC10 BA01 BB06 BB07 BB08 BB09
 BB10 BB11 BB14 BB16 BB17 BC06 BE03 BG13 BG14 DA23
 DA25 DA27
 5F083 AD01 AD24 GA21 JA06 JA35 JA38 JA39 JA40 MA06 MA17
 PR06 PR29 PR40 PR43 PR44 PR45 PR53 PR54 PR55 ZA05
 ZA07 ZA12
 5F140 AA01 AA27 AB03 AB09 AC32 BA01 BD09 BE03 BE05 BE06
 BE07 BF01 BF05 BF07 BF08 BF11 BF18 BF37 BG04 BG09
 BG12 BG14 BG28 BG36 BG40 BG51 BG53 BH15 BK02 BK05
 BK13 CE07